

Реализация асимметричного маркерного процессинга на C66x DSP

Автор: Афанасов Артём Константинович, группа 17.Б10-мм

Научный руководитель: д.ф.-м.н., проф. А.Н. Терехов

Научные консультанты: ст. преп. М.В. Баклановский , ст. преп. А.Р. Ханов

Санкт-Петербургский государственный университет
Кафедра системного программирования

26.05.2020

Гетерогенные архитектуры

- В многоядерных гетерогенных архитектурах достигается:
 - Максимальная производительность и эффективность вычислений
 - Обфускация
- Но существуют барьеры проектирования:
 - Отдельная среда проектирования для каждого вида вычислительных ядер
 - Отсутствие целостного маршрута проектирования от программной модели верхнего уровня к ПО целевой системы
 - Ручное проектирование коммуникаций между ядрами и общего управления системой
 - Отсутствие средств отладки на уровне системы

Существующие подходы к проектированию гетерогенных вычислительных систем

- HSA от AMD
- Code Composer Studio от Texas Instruments
- Vivado от Xilinx

Асимметричный маркерный процессинг

Баклановский, М. В., Кривошеин, Б. Н., и др. (2018). АСИММЕТРИЧНЫЙ МАРКЕРНЫЙ ПРОЦЕССИНГ. Программная инженерия, 9(4), 156-162.

<https://doi.org/10.17587/prin.9.156-162>

АМП — это подход к созданию гетерогенных вычислительных систем с возможностями проектирования единой вычислительной среды с унифицированным механизмом передачи управления.

- Поддержка произвольных вычислительных систем
- Унифицированный механизм передачи управления между ядрами
- Сквозной маршрут проектирования от верхнего уровня до машинного кода
- Автоматическая генерация межпроцессорного взаимодействия

Цель и задачи

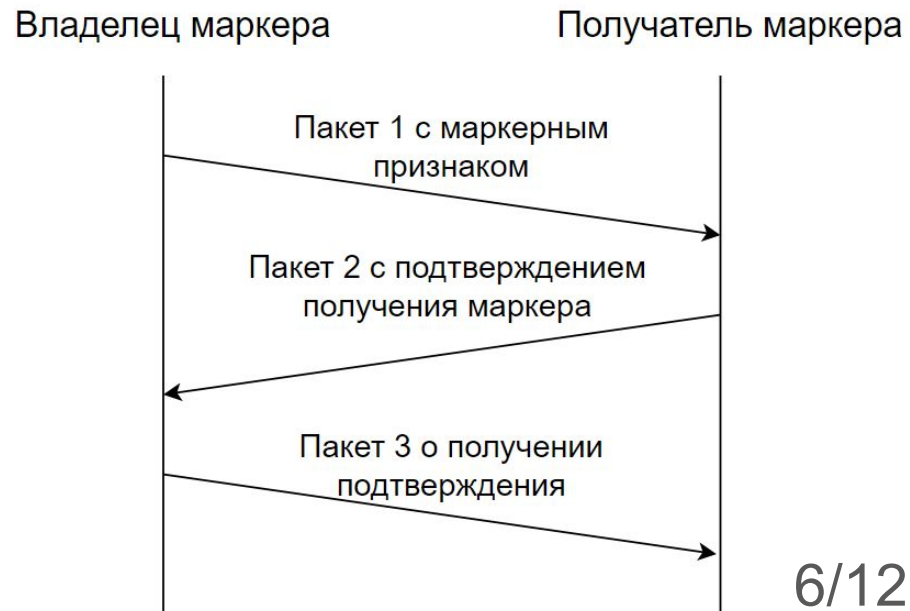
Цель: реализация канального, сетевого, транспортного уровней стека протоколов асимметричного маркерного процессинга на DSP архитектуры KeyStone 2 для коммуникации с ARM.

Задачи:

1. Изучить асимметричный маркерный процессинг
2. Изучить инструменты для реализации
3. Обеспечить общение между ядрами DSP и ARM
4. Реализовать канальный, сетевой, транспортный уровни стека протоколов асимметричного маркерного процессинга на DSP
5. Замерить скорость передачи маркера

Асимметричный маркерный процессинг

- Маркер — право решения задачи. В системе он единственен
- стек протоколов АМП:
 - Прикладной
 - Представления
 - Транспортный
 - Сетевой
 - Канальный (в статье назван физическим)



Существующие решения

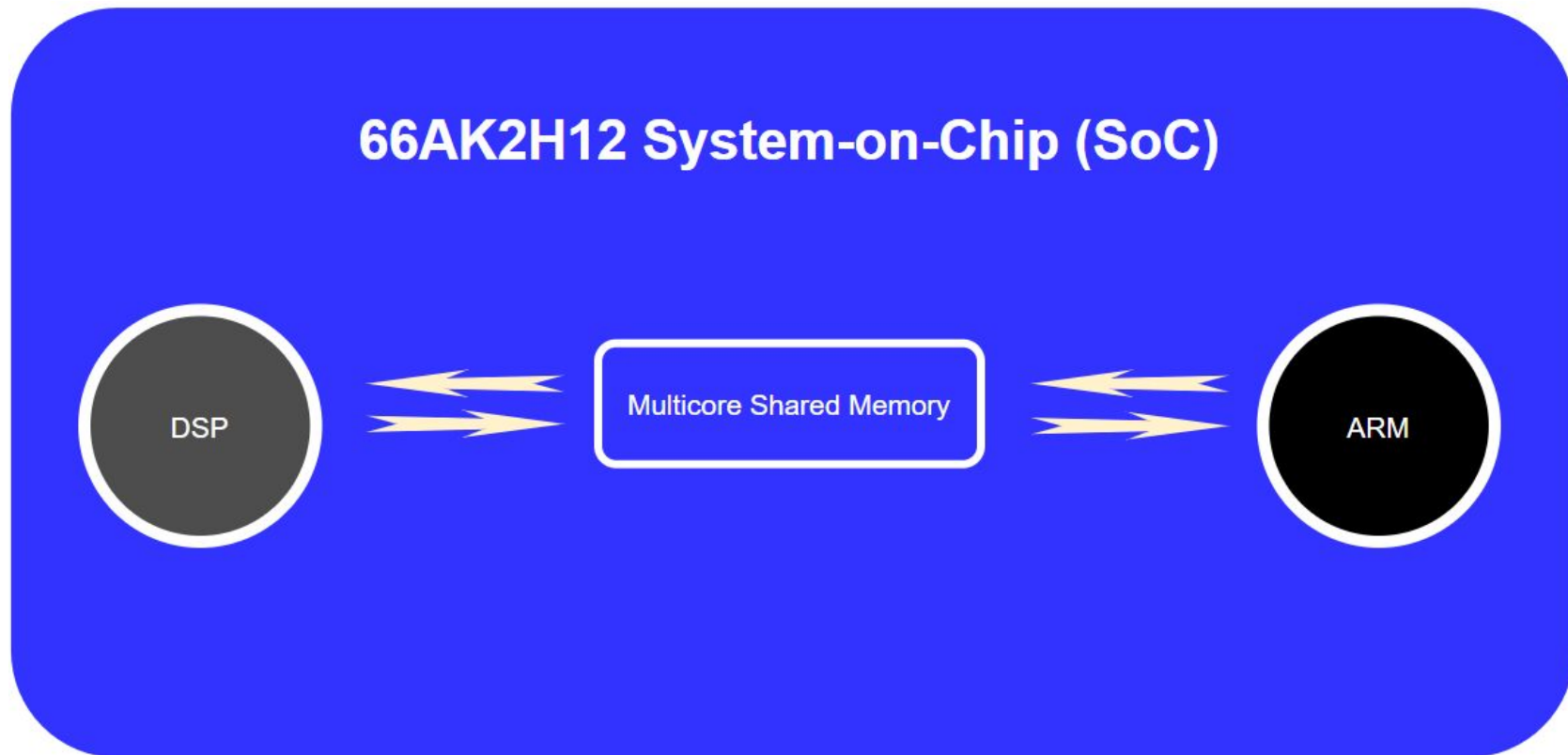
- Реализация авторами статьи АМП
 - В основном, язык ассемблера
 - Zybo Zynk-7000 (ARM + ПЛИС)

Инструменты



- 66AK2H12 Multicore DSP+ARM® Keystone™ II System-on-Chip (SoC)
- Язык ассемблера C66x DSP
- Code Composer Studio

Архитектура системы на кристалле



Реализация

- Подготовка
 - Изучение способов запуска программ на ядрах
 - Изучение архитектуры для реализации
 - Настройка общения между ядрами DSP и ARM
 - Замеры

Замеры по передаче 12 байт:

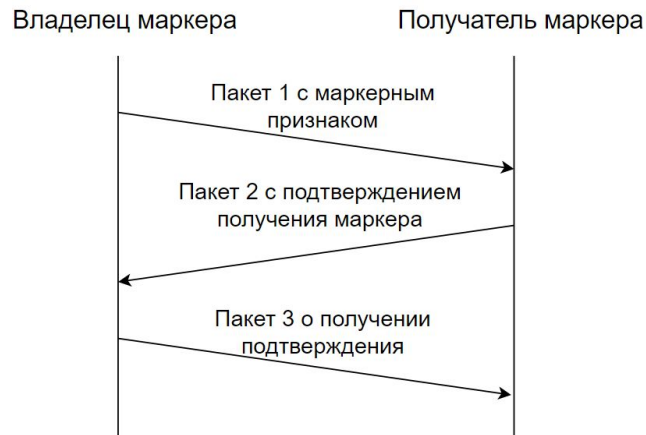
| Реализация | Матожидание, нс | Среднеквадратическое, нс |
|-----------------------------|-----------------|--------------------------|
| C DSP (-O3), C ARM (-Ofast) | 472 | 109 |
| ASM DSP, C ARM (-Ofast) | 229 | 9 |
| ASM DSP, ASM ARM | 292 | 2 |

MSM и DDR3:

| Память | Матожидание, нс | Среднеквадратическое, нс |
|--------|-----------------|--------------------------|
| MSM | 2468 | 14 |
| DDR3 | 2545 | 69 |

Реализация

- Замеры передачи маркера:



| Реализация | Матожидание, нс | Среднеквадратическое, нс |
|-----------------------------|-----------------|--------------------------|
| C DSP (-O3), C ARM (-Ofast) | 4099 | 176 |
| ASM DSP, C ARM (-Ofast) | 2468 | 14 |
| ASM DSP, ASM ARM | 2500 | 6 |

- Реализация канального, сетевого, транспортного уровней стека протоколов асимметричного маркерного процессинга на DSP.

Итоги

Реализованы канальный, сетевой, транспортный уровни стека протоколов асимметричного маркерного процессинга на DSP архитектуры KeyStone 2 для коммуникации с ARM. Решены задачи:

1. Изучен асимметричный маркерный процессинг
2. Изучены инструменты для реализации
3. Обеспечено общение между ядрами DSP и ARM
4. Реализованы канальный, сетевой, транспортный уровни стека протоколов асимметричного маркерного процессинга на DSP
5. Измерена скорость передачи маркера