САНКТ - ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

Математико-механический факультет

Кафедра системного программирования

Об оценке частоты устройств, разрабатываемых на языке HaSCoL

Курсовая работа студента 361 группы
Скородумова Кирилла Владимировича

Научный руководитель: Булычев Д.Ю.

Санкт-Петербург
2010

Содержание

Введение ……3
Обзор существующих средств……..4
Метод построения оценок……...5
Построение оценок для сигнатурных операций……5
Построение графа потока данных……5
Предсказуемость задержек сигнатурных операций……5
Результаты……7
Литература……8

Введение

В связи с растущей сложностью интегральных схем, описание их на уровне RTL становится слишком сложной и трудоёмкой задачей. В настоящее время активно развиваются системы, позволяющие описывать эти устройства на более высоком уровне, такие как Bluespec, HandelC, ROCCC, CatapultC и другие. HaSCoL[4] является одним из таких языков, он был недавно разработан на матмехе СпбГУ.

При разработке устройства естественным образом встаёт вопрос о его характеристиках, в частности одной из основных таких характеристик является частота. Самый простой способ понять, на какой частоте сможет работать устройство – произвести его синтез, однако он не всегда позволителен из-за долгого времени выполнения. К примеру синтез дизайна на 14000 FF'ов и LUT'ов (примерно 50% логических элементов FPGA Virtex-6)[2] занимает примерно 15 минут(intel core i7, 2.66Ghz, 8Gb RAM).

Ограничения на частоту появляются из-за задержки на логических элементах, через которые проходят данные на пути от регистра до регистра, и на роутинговых ресурсах FPGA.

Целью данной работы является нахождение подходящего способа построения оценок частоты проектируемых устройств на основании анализа кода на HaSCoL.

Обзор существующих средств

Система CatapultC производит оценку частоты разрабатываемой схемы и даже задержек на отдельных её частях[3], что позволяет находить узкие места в программе. Эта система работает с языками SystemC и ANSI C/C++. Документация, описывающая способ построения оценки в данной системе отсутствует.

Система ROCCC не позволяет получать оценки частоты, но позволят влиять на неё, указывая степень конвейеризации устройства, а также оценивать другие параметры, такие как площадь.

Метод построения оценок

- В ходе выполнения работы был использован следующий подход к оценке частоты.
- Путём синтеза находятся задержки на логических блоках, получаемых при трансляции сигнатурных операций и операторов языка. Эти оценки сохраняются и используются в дальнейшем всякий раз при появлении уже оценённых операций в программе
- По программе на HaSCoL строится граф потока данных
- В этом графе ищется максимальный путь от регистра до регистра(критический путь)
- Задержка на этом пути даёт оценку на частоту схемы
- Чтобы получить задержку на критическом пути, суммируем задержки на логических элементах из которых он состоит.

Построение оценок для сигнатурных операций

Для получения этих оценок производится синтез программы на HaSCoL, не содержащей другой логики, кроме нужной операции.
Шаблон такой программы:

```
process    proc =
begin
in input (t1,t2,…tn);
out output (t0);
input (a1,…an) {
   skip;
   x = op(a1,…an);
   inform output(x)}
end;
```

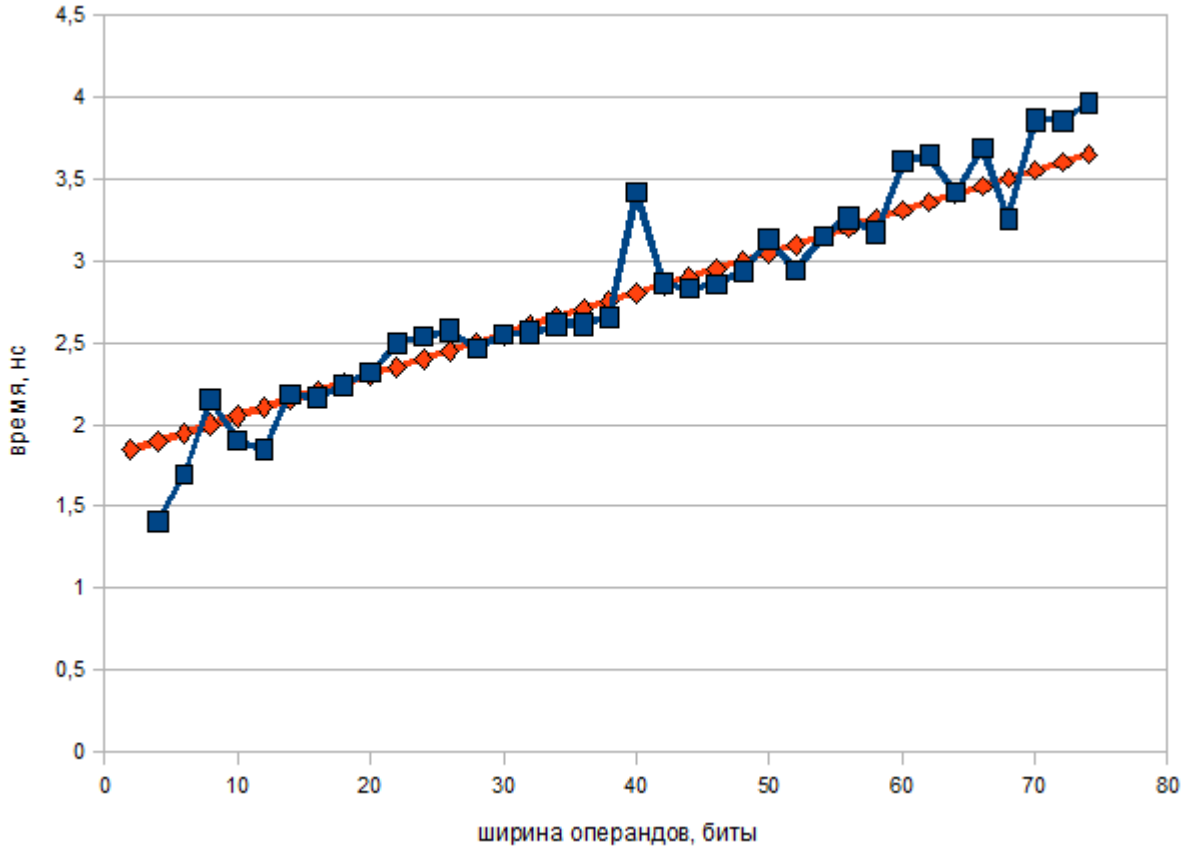
Построение графа потока данных

Узлы в этом графе соответствуют регистрам и логическим блокам. Регистр, соединённый ребром с логическим блоком, означает что данные из этого регистра входят в этот логический блок. Логический блок, соединённый с регистром, означает что выходные данные этого логического блока пишутся в этот регистр.

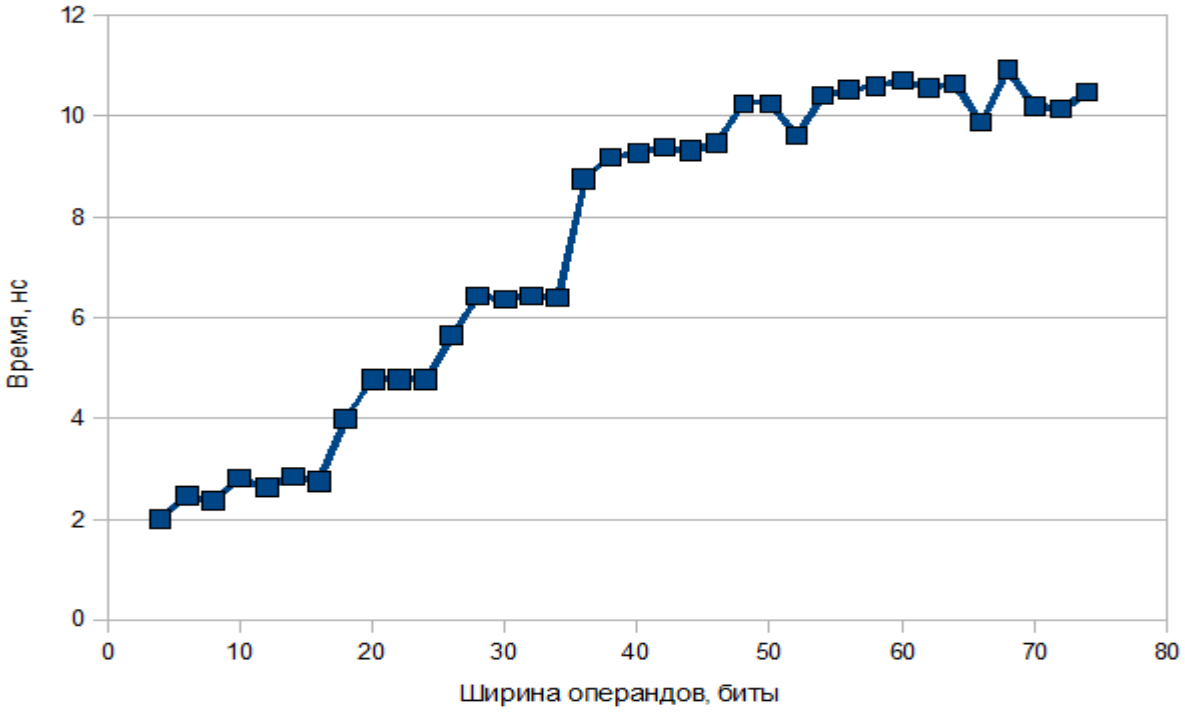
С помощью имеющегося набора оценок оцениваются задержки на логических блоках графа, чтобы потом получить оценку на критическом пути.

Предсказуемость задержек сигнатурных операций

В ходе работы проведено построение оценок для операций стандартной библиотеки bincompl. Например, операция сложения показала линейную зависимость задержки от ширины операндов.



Синим показан график сложения. Красным – график функции 0.025x + 1.8
Операция умножения:



На этом графике можно заметить выраженную ступенчатую структуру, которая появляется из-за большого размера умножителей на схеме(18 на 25 входов)[2].

Результаты

В ходе выполнения данной работы были построены оценки для ряда программ. Несколько примеров приведены в следующей таблице.

Название примера	Объём примера в количестве строк кода	Задержка, полученная при синтезе, нс	Задержка, полученная по рассматриваемому методу, нс	Отклонение
Вычисление значения многочлена за один такт	12	28.399	35,784	26%
Конвейеризованное вычисление значение многочлена	12	9.256	8.946	3.3%
Умножитель	46	5.993	6.368	6.2%
Делитель	55	5.383	4.813	10.5%
Очередь FIFO	72	6.703	6.024	10.1%

Полученные отклонения возникают вследствии того, что данный метод не учитывает задержку на роутинговых ресурсах FPGA а также оптимизации, производимые синтезатором, тем не менее результаты измерений показывают приемлемое отклонение частоты, получаемой при синтезе схемы и, таким образом, доказывают применимость описанного метода для оценок частоты схем, описываемых на языке HaSCoL.

Литература

1. The VHDL Cookbook first edition. Peter J. Ashenden
2. Virtex-6 FPGA Data Sheer: DC and Switching Characteristics (www.xilinx.com/support/documentation/data_sheets/ds152.pdf)
3. High-Level Synthesis. Coussy, Philippe, Morawiec, Adam. Pub. Springer, 2008
4. CoolKit: описание языка. Версия 2.0 (www.oops.math.spbu.ru/projects/coolkit/attachment/wiki/WikiStart/language.ru.pdf)